


IDS

Overflow protection circuit for UART device.

Patent Number: ☐ EP0685797
Publication date: 1995-12-06
Inventor(s): CAILLARD ALAIN (FR) ✓
Applicant(s): HEWLETT PACKARD CO (US) ✓
Requested Patent: ☐ JP8044635 ✓
Application Number: EP19940410040 19940603
Priority Number(s): EP19940410040 ✓ 19940603 ✓
IPC Classification: G06F13/24 ; G06F13/38
EC Classification: G06F13/24, G06F13/38A2
Equivalents:

Abstract

A personal computer (11) is typically connected to a modem (10) through a V24 or RS232C link with the computer (11) being provided with a UART device (13) connected to receive character data over the link, and a processor (17) tasked with servicing the UART. The UART device (13) frequently includes a receive FIFO (14) and is arranged to generate a processor interrupt request (IRQ) upon the FIFO being filled to a predetermined threshold. With such an arrangement, if the processor (14) cannot service the interrupt quickly enough (because, for example, it is engaged on a critical task) then character data may overflow the UART FIFO (14) and become lost. To avoid this happening, an overflow protection circuit (18) is provided that is operative to drop an RTS line of the link in the event that an interrupt request from the UART (13) remains uncleared for a predetermined number N of character intervals at the port receive speed where N is less than the remaining empty size of the FIFO

at the time the interrupt request signal is first generated. 

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-44635

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl. ⁸	識別記号	片内整理番号	FI	技術表示箇所
G 0 6 F 13/00	3 0 1 A			
	3 5 3 Q	7368-5E		
5/06	3 1 3			

審査請求 未請求 請求項の数1 FD (全 8 頁)

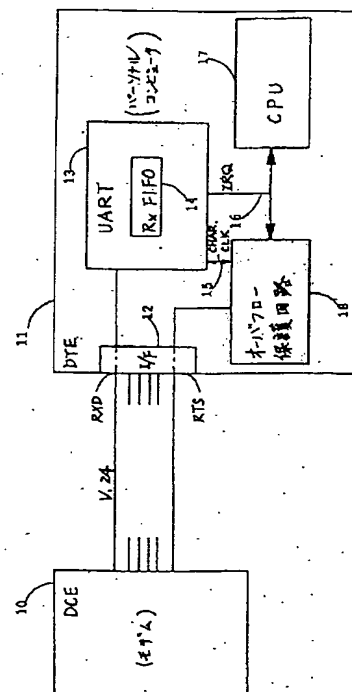
(21) 出願番号	特願平7-160053	(71) 出願人	590000400 ヒューレット・パカード・カンパニー アメリカ合衆国カリフォルニア州パロアル ト ハノーバー・ストリート 3000
(22) 出願日	平成7年(1995)6月2日	(72) 発明者	アライン・カイラード フランス国ノートル ダム ド メサッ ジ、ル モントレイ
(31) 優先権主張番号	9 4 4 1 0 0 4 0 . 3	(74) 代理人	弁理士 上野 英夫
(32) 優先日	1994年6月3日		
(33) 優先権主張国	フランス (FR)		

(54) 【発明の名称】 UART装置用のオーバフロー保護回路

(57) 【要約】

【目的】 UART装置が、時間的にDTE（データ端末装置）プロセッサによるサービスを受けることができない状況において、データのオーバフローを防ぐことのできる単純な方法を提供する。

【構成】 パーソナル・コンピュータは、通常、V24あるいはRS232Cを介してモデムに接続される。該コンピュータには、リンクを介して文字データを受信するよう接続されたUART装置と、該UART装置にサービスを施すタスクが割り当てられたプロセッサとが備えられている。UART装置はしばしば受信FIFOを含み、FIFOが所定のしきい値まで充填されると、プロセッサに割り込み要求を発生させるよう構成されている。本発明の一実施例によれば、オーバフロー保護回路がさらに設けられ、UARTからの割り込み要求が、ポートの受信速度で、所定の数Nの文字間隔にわたってクリアされない状態のままの場合、リンクのRTS（送信要求）線をドロップするよう動作する。



【特許請求の範囲】

【請求項1】ある受信速度で文字を受信するための直列ポートと、該直列ポートに接続されたUART装置と、該UART装置にサービスを施すタスクが割り当てられたプロセッサとを備え、前記UART装置には、前記直列ポートを介して受信する文字用の受信FIFOと、該FIFOが所定のしきい値まで充填されると、プロセッサ割り込み要求を発生する手段とが備えられている装置であって、前記割り込み要求が、前記ポートの受信速度で、所定の数Nの文字間隔にわたって（Nは、割り込み要求信号が最初に発生する時点において、FIFOの残りの空サイズより小さい数）、クリアされない状態のままである場合、前記装置に対する文字の伝送を停止することを意図した、直列ポートの制御ラインを所定の状態にセットするためのオーバーフロー保護回路がさらに備えられていることを特徴とする装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、直列リンク、とりわけ、限定するわけではないが、V24タイプのリンクに対するインターフェイスを可能にする、UART装置用のオーバーフロー防止回路に関するものである。本明細書に関して、「V24タイプ」・リンクは、CCITT V24規格（そのサブセットを含む）、または、EIA（米国の電子工業会）によるRS232C規格のような、ほぼ同等の規格に従って動作するものである。

【0002】

【従来の技術】今日では、大部分のパーソナル・コンピュータ（PC）には、モデム及び公衆電話交換ネットワーク（PSTN）を介して、そのコンピュータを遠隔コンピュータに接続できるようにするため、少なくとも1つのV24ポートが設けられている。これに関して、PCは、いわゆる、データ端末装置（DTE）を構成し、モデムは、データ通信装置（DCE）を構成する。

【0003】一般に、DTEは、UART（万能非同期受信機／送信機）チップ装置によって、V24タイプ・リンクとのインターフェイスを行うものである。こうした装置は、極めてよく知られており、データを受信すると、入力ビットを収集して、文字データを形成し、DTEの主部分に転送する働きをする。この転送は、通常、UARTに対するサービスとして、UARTから受信したデータを主メモリに転送するようにするため、UART装置が、割り込み要求をDTEのプロセッサに提出して、該プロセッサに、現在の操作を中断させることによって開始される。

【0004】DTEが扱い切れない入力データによって窮地に陥ることにならないようにするため、通常は、ある種のフロー制御を施すことが必要になる。V24タイプ・リンクの場合、これは、2つのやり方で実施可能で

ある。第1に、DTEによって、V24タイプ・リンクのCTS（送信可）ラインをドロップすることによって、DCEに、データ送信を停止するように伝えることが可能である。第2に、ソフトウェア・プロトコルを利用することが可能である（XON/XOFFのような）。一般に、これらのフロー制御法の実施は、DTEプロセッサの責務である。

【0005】多くの最新式UART装置は、例えば、16までの入力文字を記憶することが可能な受信文字FIFOを提供する。こうした受信FIFOによって、UARTのサービスに対する時間的制約を緩和する、有効なバッファリングが可能になる。一般に、FIFOが4文字まで充填されると、こうしたUARTによって、割り込み要求が提出されることになり、従って、プロセッサは、オーバーフローが生じるまでに、最低12文字の受信期間にわたって、FIFOにサービスを行う（または、フロー制御メカニズムを操作する）ことになる。

【0006】しかし、状況によっては、この構成でさえ、プロセッサの応答には不十分な時間しか得られない場合のあることが分かっている。こうした状況が生じる可能性があるのは、プロセッサが、より優先順位の高い割り込みのサービスを行っているか、あるいは、何らかのクリティカルで、中断できないタスクを実施している場合である。

【0007】

【発明が解決しようとする課題】本発明の目的は、UARTが、時間的にDTEプロセッサによるサービスを受けることができない状況において、データのオーバーフローを防ぐ単純な方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の態様の1つによれば、ある受信速度で文字を受信するための直列ポート、直列ポートに接続されたUART装置、及び、UARTにサービスを施すタスクが割り当てられたプロセッサから構成される装置が得られるが、UART装置には、直列ポートを介して受信する文字用の受信FIFOと、FIFOが所定のしきい値まで充填されると、プロセッサ割り込み要求を発生する手段が含まれており、該装置には、さらに、割り込み要求が、該ポートの受信速度で、所定の数Nの文字間隔にわたって（Nは、割り込み要求信号が最初に発生する時点において、FIFOの残りの空サイズ未満である）、クリアされない状態のままである場合、装置に対する文字の伝送を停止することを意図した、直列ポートの制御ラインを所定の状態にセットするためのオーバーフロー保護回路が設けられている。

【0009】こうした構成によれば、プロセッサが、UARTによって生じた割り込み要求にサービスを施すことができない場合、オーバーフロー保護回路が、装置に対する文字の流れを停止する制御ラインを自動的にセット

する。FIFOがオーバーフローする前に、送り出し側装置が送信を停止するのに相応の時間が得られるので、少なくとも4つの空文字スロットが、FIFOにまだ存在する場合には、制御ラインをドロップすることが望ましい。

【0010】実施例の1つでは、オーバーフロー保護回路は、前記割り込み要求の存在によって使用可能になると、前記受信速度によって決まる割合でインクリメントされるカウンタと、カウンタによって記録されるカウンタが、所定の数Nの文字間隔にわたって、割り込み要求がクリアされないままであったという事態に対応する第1のカウンタ値に達すると、制御ラインを前記所定の状態にセットする手段から構成され、第1のカウンタ値に達する前に、割り込み要求が解除されると、カウンタがリセットされる。

【0011】オーバーフロー保護回路には、制御ラインが、その所定の状態にセットされると、少なくとも所定の最短時間にわたって、その状態にとどまることを保証する手段が含まれていることが好ましい。これらの手段は、例えば、割り込み要求の存在に関係なく、第1のカウンタ値と第2のカウンタ値の間において、カウンタを使用可能な状態に保つ働きをする手段によって構成される。

【0012】オーバーフロー保護回路には、さらに、カウンタが、少なくとも第2のカウンタ値に等しい所定のカウンタに達すると、これに応答して、リセットまで、カウンタのそれ以上のインクリメントを禁止する手段が設けられていることが望ましい。

【0013】本発明は、制御ラインが、この場合、リンクのRTSラインによって構成される、V24タイプの直列リンクに関してとりわけ有効である。

【0014】

【実施例】図1には、V24タイプのリンクを介して、DCEを構成するモデム10に接続される、DTEを構成するパーソナル・コンピュータ11が示されている。

【0015】V24タイプのリンクは、例えば、RS232C規格のサブセットとすることが可能であり、一般に、下記のラインから構成される：

- ・保安用接地、
- ・信号用接地
- ・送信データ
- ・受信データ — RXD
- ・送信要求 — RTS
- ・送信可
- ・データ送信準備完了
- ・データ端末準備完了。

図1において、RXD及びRTSラインだけしか明示されていないのは、これらが本事例において主として問題となるラインであるためである。RXDラインは、DCEからDTEに送られるデータを備えている。RTSラ

インは、DTEからDCEに進む制御ラインである。RTSラインがON状態の場合、DCEは、送信モードに保持され、RTSラインがドロップすると（OFF状態に変わると）DCEによる送信が禁止される。

【0016】V24タイプ・リンクは、適合するライン・ドライバ及び受信機を含む直列ポート・インターフェイス12におけるDTE11に接続する。

【0017】DTEには、受信文字FIFO14が設けられたタイプのUART装置13が含まれているが、適合するUARTは、National Semiconductor製の16550 UARTである。本例において、FIFO14は、V24タイプ・リンクのRXDラインを介して、UART13が受信する16までの文字を保持することが可能である。

【0018】通常、V24タイプ・リンクは、例えば、19200ボーといったように、低速であるが、UART13の文字クロック・レートは、文字クロック入力信号15によって規定される（一般に、文字クロック信号は、例えば、1.8432MHzといったように、はるかに高速であるが、この信号が、必要に応じて、UARTによって、適合する文字クロック・レートに合わせて分割されることになるのは、明らかである）。

【0019】UART13は、FIFO14が4文字のレベルまで充填されると、ライン16で割り込み要求IRQを提出するように構成されている。この割り込み要求は、サービスを受けるため、DTEのプロセッサ・ユニット17に送られる。

【0020】CPU17がUART13から生じる割り込み要求のサービスを行うと、FIFO14は、このFIFOにおいて可能な文字の受信速度に比べてはるかに速い速度で空になる。従って、FIFOのオーバーフローの可能性は、CPU17による割り込み要求に対するサービスが遅延する結果として生じる場合に限られ、こうした遅延が生じるのは、例えば、CPUが、必須の、割り込み不能なタスク（ディスク・スワッピングのような）を実施している場合である。

【0021】CPU17が、十分な時間範囲内で、UARTにサービスを提供することができない状況において、オーバーフローが生じるのを防ぐため、DTEには、オーバーフロー保護回路18が設けられている。この回路18は、RTSラインをOFF状態にすることによって、DCEに送信停止を伝えることができるように、V24タイプ・リンクのRTSラインに接続する。分かりやすくするため、RTSラインは、オーバーフロー保護回路18に対して接続されているところしか示されていないが、もちろん、RTSラインは、V24タイプ・リンクの標準的な機能に関連して、他の場所にも接続されるのが普通である。

【0022】オーバーフロー保護回路18は、基本的に、割り込み要求ライン16をモニタする働きをしており、

割り込み要求の保持が、UARTの受信速度で、所定の数の文字間隔を超えると、RTSラインをOFF状態にする。割り込み要求が存在する間の経過文字間隔数は、文字クロック・サイクルをカウントすることによって求められる。一般に、オーバフロー保護回路18は、FIFO14において、4つの文字スロットだけが空のままである場合、RTSラインをOFF状態にドロップする。これによって、DCEには、FIFO14がオーバフローしないように、送信を停止するのに十分な時間が与えられる。オーバフロー保護回路18がRTSラインをドロップする前に、割り込み要求がドロップすると、回路18は、リセットされる。この構成によって、UART装置13のための極めて単純なハードウェア・オーバフロー保護回路が得られる。

【0023】図2には、図1のオーバフロー保護回路18の実施例の1つに関する回路図が示されている。図2の回路の核心をなすのは、多段2進カウンタ20であり、本実施例の場合、これは、最後の2段が、それぞれQ12及びQ13と表示された出力を備える（出力Q13は、出力Q12の半分の割合で変化する）、14段カウンタである。カウンタ20は、ORゲート23を介してカウンタ20のクロック入力CKに供給される文字クロック15によって刻時されるように構成されているが、カウンタ20は、カウンタ20のリセット入力MRに加えられる論理「1」の信号がない場合に、カウント可能になるだけである。

【0024】出力Q13は、ORゲート24に接続されており、RTS信号を反転形式で供給する。カウンタ出力Q13が低のままである間に、ゲート24から出力される反転RTS信号の状態は、DTEの他の場所から得られる、RTSラインの通常の制御を表した入力信号 \neg RTSの状態によって決まる（以下において、 \neg は反転を示す）。カウンタ出力Q13が、高になると、ゲート24の出力も高となり、この結果、もちろん、RTS信号が低になって、OFF状態になる。

【0025】カウンタ20のリセット入力MRは、ORゲート21及びインバータ22を介して入力MRに送られる割り込み要求信号IRQによって制御される。IRQ信号が低の場合、論理「1」信号が、カウンタのMRリセット入力に加えられ、それをリセット状態に保持する。この状態において、出力Q12及びQ13は論理「0」であり、RTSラインは影響されない。UARTがCPU17に対して割り込み要求を出す際に、IRQ信号が高になると、カウンタ20のリセット入力MRにおける論理「1」が、論理「0」に変化し、カウンタ20は、入力CKに加えられる文字クロック・パルスのカウントを開始する。カウンタ20の文字クロック速度及び段数は、UARTの受信速度で、4つの文字間隔が済むと、カウンタ20の出力Q12が高になる。さらに、4つの文字間隔が済むと、出力Q12は、低になり、出

力Q13は、高になる。これが図3に示されており、出力Q13は、図示のように、時間T0において、割り込み要求が提出された後、時間T1において、初めて、高になる。T0とT1の間の期間中に（図3に期間Aで表示）、CPU17によるUARTに対するサービスの結果として、割り込み要求が解除されると、カウンタ20は即座にリセットされる。しかし、割り込み要求信号が、T1より前に（すなわち、8つの文字間隔が経過する前に）ドロップしなければ、カウンタ出力Q13が高になることによって、RTS信号がドロップし、DCEに送信の停止が伝えられる。

【0026】DCEが不安定にならないようにするため、RTSラインがOFF状態に移行した直後に、UARTに対する割り込み要求が解除されたとしても、RTS信号は、所定の最短期間にわたって、OFF状態に保持することが望ましい。このため、図2に示すように、ANDゲート25及びインバータ26を利用して信号 $[(Q13) \text{ AND } (\neg Q12)]$ を発生することによって、カウンタ20のリセットは、時間T1の後、4つの文字間隔（すなわち、T1とT2の間の期間B）にわたってブロックされる。この論理信号は、ORゲート21に送られ、期間Bにわたって、カウンタのリセット入力MRが低に保たれる。結果として、カウンタ出力Q13は、高に保たれ、信号RTSは、割り込み要求ライン16の状態に関係なく、期間Bにわたって、OFF状態に保たれる。

【0027】時間T2の後、カウンタ20のリセットに対するブロックが解除されると、カウンタは、即座にリセットされるか（時間T2以前に、割り込み要求IRQが解除されている場合）、あるいは、割り込み要求が最終的に解除されると、リセットされる。

【0028】割り込み要求が時間T2を超えて保持されると、カウンタ20が、そのカウント・サイクルを完了し、再び、ゼロからカウントを開始する可能性がある。もちろん、これは、割り込み要求がまだ出されている間に、RTSラインをON状態に戻すことになるので、望ましくない。これが生じないようにするため、ANDゲート27を利用して信号 $[(Q13) \text{ 及び } (Q12)]$ を発生し、この信号をORゲート23、従って、カウンタ20のクロック入力に送ることによって、時間T2後、カウンタ20の刻時が中断される。もちろん、時間T2後にカウンタをリセットすれば、ゲート27によって生じたクロック禁止信号は解除される。

【0029】図2に関連して、独立した論理回路の点から、オーバフロー保護回路の説明を行ってきたが、図2の機能性は、ゲート・アレイを利用して同様に実現することも可能である。さらに、上記回路構成及び機能性に対して、さまざまな修正及び変更を加えることができるのは明らかであり、さらに、適合する制御ラインが得られるなら、該回路構成をV24タイプ・リンク以外の直

列リンクに用いて、送信側装置に送信停止を伝えることも可能になる。

【0030】解説の回路構成は、V24タイプの直列リンクに関連したUART装置の外部にオーバフロー保護回路を設ける場合、その単純さの点からとりわけ有利であると考えられる。

【0031】以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

[例1]ある受信速度で文字を受信するための直列ポート、直列ポートに接続されたUART装置、及び、UARTにサービスを施すタスクが割り当てられたプロセッサから構成される装置において、UART装置に、直列ポートを介して受信する文字用の受信FIFOと、FIFOが所定のしきい値まで充填されると、プロセッサ割り込み要求を発生する手段が含まれていることと、該装置には、さらに、前記割り込み要求が、該ポートの受信速度で、所定の数Nの文字間隔にわたって（Nは、割り込み要求信号が最初に発生する時点において、FIFOの残りの空サイズ未満である）、クリアされない状態のままである場合、装置に対する文字の伝送を停止することを意図した、直列ポートの制御ラインを所定の状態にセットするためのオーバフロー保護回路が設けられていることを特徴とする、装置。

[例2]受信FIFOは、M文字の容量を有していることと、FIFOにおいて、前記所定のしきい値がT文字に相当することと、Nの値によって、 $(M - T - N)$ が4に等しくなるということの特徴とする、例1に記載の装置。

[例3]前記オーバフロー保護回路に、前記所定の状態にセットされると、前記制御ラインが、少なくとも所定の最短時間にわたって、該状態にとどまることを保証する手段が含まれていることを特徴とする、例1に記載の装置。

[例4]前記オーバフロー保護回路が、前記割り込み要求の存在によって使用可能になると、前記受信速度によって決まる割合でインクリメントされるカウンタと、カウンタによって記録されるカウンタが、前記所定の数Nの文字間隔にわたって、割り込み要求がクリアされないままであったという事態に対応する第1のカウンタ値に達すると、前記制御ラインを前記所定の状態にセットする手段から構成され、前記第1のカウンタ値に達する前に、割り込み要求が解除されると、カウンタがリセットされることを特徴とする、例1に記載の装置。

[例5]前記オーバフロー保護回路に、前記所定の状態に

セットされると、前記制御ラインが、少なくとも所定の最短時間にわたって、該状態にとどまることを保証する手段が含まれていることを特徴とする、例4に記載の装置。

[例6]前記保持手段が、前記割り込み要求の存在に関係なく、前記第1のカウンタ値と第2のカウンタ値の間で、前記カウンタを使用可能状態に保つ働きをする手段から構成されることを特徴とする、例5に記載の装置。

[例7]前記オーバフロー保護回路に、さらに、カウンタが、少なくとも前記第2のカウンタ値に等しい所定のカウンタに達すると、これに応答して、リセットまで、カウンタのそれ以上のインクリメントを禁止する手段が設けられていることを特徴とする、例6に記載の装置。

[例8]前記ポートが、V24タイプの直列ポートであり、前記制御ラインが、該ポートのRTSラインであることを特徴とする、先行例の任意の1つに記載の装置。

【0032】

【発明の効果】以上説明したように、本発明を用いることにより、UARTが、時間的にDTEプロセッサによるサービスを受けることができない状況において、データのオーバフローを防ぐことができる。

【図面の簡単な説明】

【図1】オーバフロー保護回路を組み込んだDTEのブロック図である。

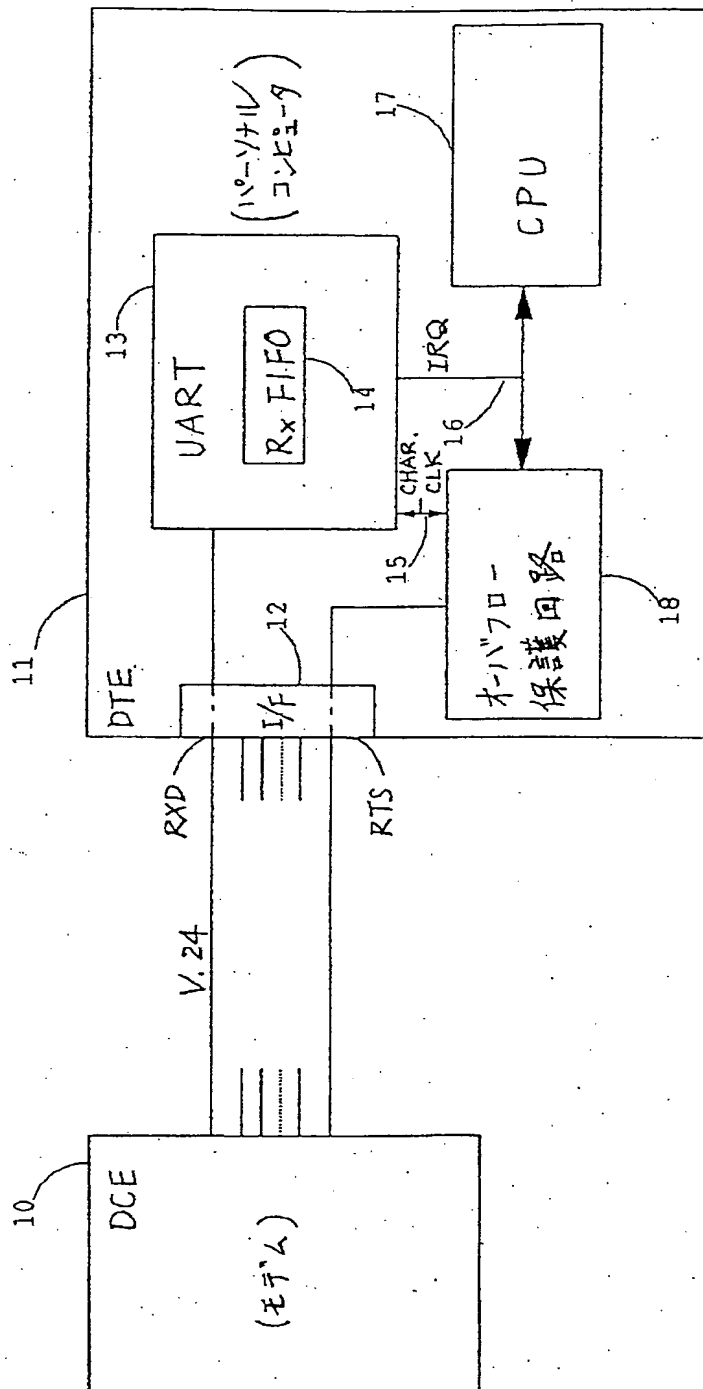
【図2】オーバフロー保護回路の回路図である。

【図3】図2の回路に関する各種サンプル波形を示すタイミング図である。

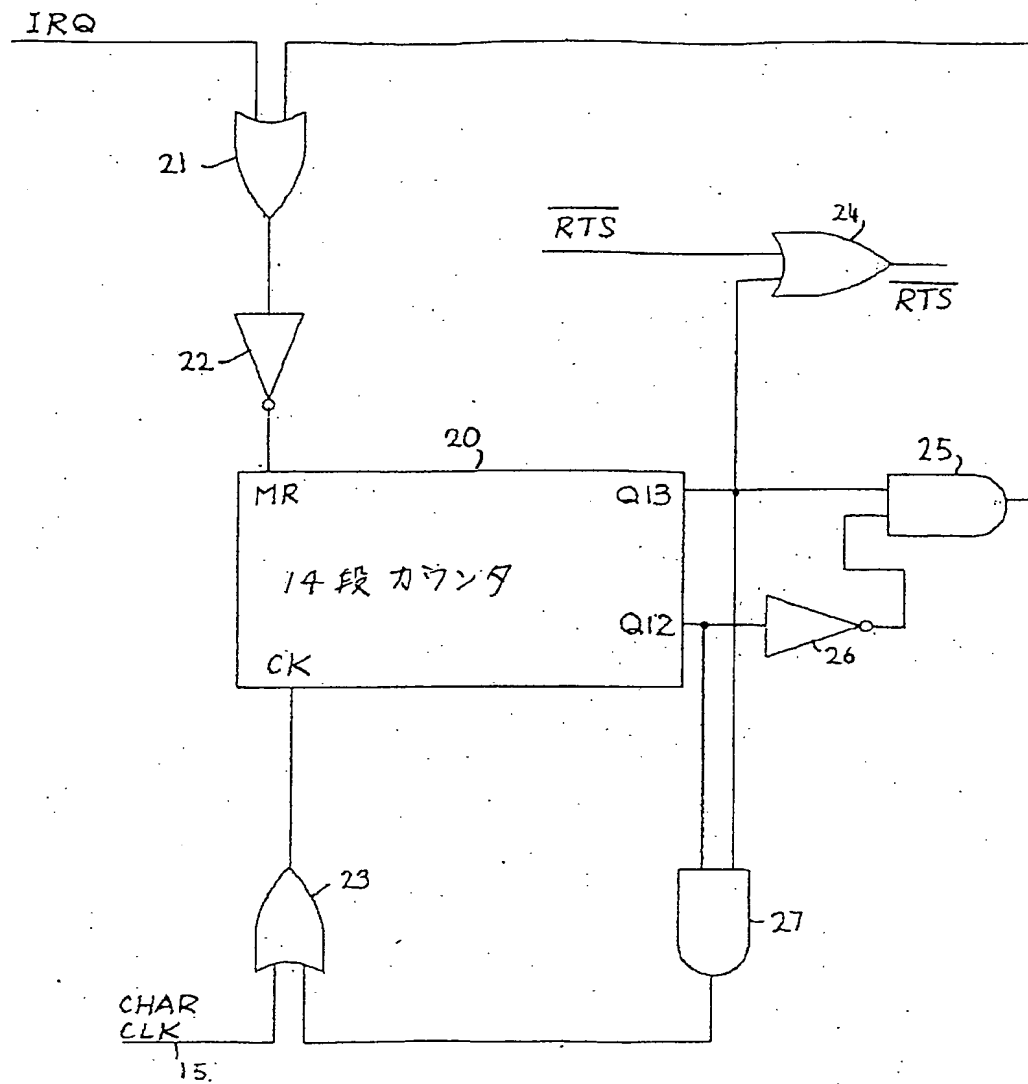
【符号の説明】

- 10：モデム
- 11：パーソナル・コンピュータ
- 12：直列ポート・インターフェイス
- 13：UART装置
- 14：受信文字FIFO
- 16：割り込み要求ライン
- 17：CPU
- 18：オーバフロー保護回路
- 20：カウンタ
- 21：ORゲート
- 22：インバータ
- 23：ORゲート
- 24：ORゲート
- 25：ANDゲート
- 26：インバータ
- 27：ANDゲート

【図1】



【図2】



【図3】

